

DRIVING DEVICE FOR PLASMA DISPLAY PANEL

Publication number: JP11052914

Publication date: 1999-02-26

Inventor: HOSOI KENICHIRO; KITAGAWA MITSUSHI; IWAMI TAKASHI

Applicant: PIONEER ELECTRONIC CORP

Classification:

- international: G09G3/20; G09G3/28; G09G3/20; G09G3/28; (IPC1-7): G09G3/28

- European: G09G3/28T; G09G3/288D

Application number: JP19970215132 19970808

Priority number(s): JP19970215132 19970808

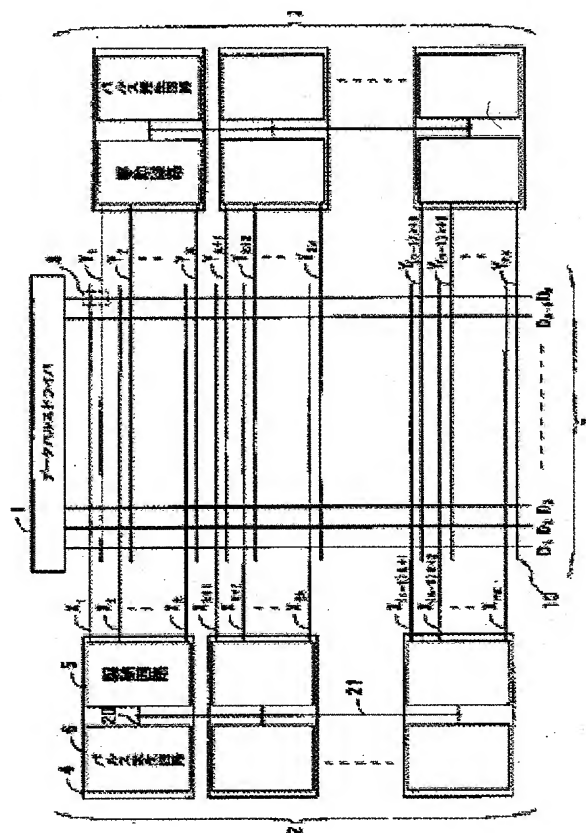
Also published as:

EP0896316 (A1)
US6252574 (B1)
EP0896316 (B1)

Report a data error here

Abstract of JP11052914

PROBLEM TO BE SOLVED: To prevent luminance of display cells among small blocks from dispersing by wiring mutually output terminals of each pulse generating circuit provided for each block and unifying pulse output levels. **SOLUTION:** A plasma display panel is constituted with a X row electrode group 2, a Y row electrode group 3 making a pair with it, and a column electrode group 7 orthogonally crossing with them, display cells are formed at intersections of each electrode. The X row electrode group 2 and the Y row electrode group 3 are respectively sectioned to small block of (n) pieces including row electrodes of (k) pieces, and are provided with respectively a pulse generating circuit 6 generating a priming pulse and a sustaining pulse. The device has an electrode driving circuit 4 provided with a driving circuit 5 which relays selectively a pulse, generates a scanning pulse, and gives it to the row electrode. The driving circuit 5 and the pulse generating circuit 6 are connected with a lead wire 20. Further the lead wire 20 is mutually connected by the same potential line 21 for each small block.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3249440号

(P3249440)

(45) 発行日 平成14年1月21日 (2002.1.21)

(24) 登録日 平成13年11月9日 (2001.11.9)

(51) Int.Cl.⁷

識別記号

F I

G 0 9 G 3/28

G 0 9 G 3/20

6 1 1 F

3/20

6 1 1

6 2 1 M

6 2 1

3/28

E

J

請求項の数 1 (全 5 頁)

(21) 出願番号 特願平9-215132

(22) 出願日 平成9年8月8日 (1997.8.8)

(65) 公開番号 特開平11-52914

(43) 公開日 平成11年2月26日 (1999.2.26)

審査請求日 平成11年3月26日 (1999.3.26)

早期審査対象出願

前置審査

(73) 特許権者 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 細井 研一郎

静岡県袋井市鷺巣字西ノ谷15番地1パイ

オニア株式会社 静岡工場内

(72) 発明者 北川 満志

静岡県袋井市鷺巣字西ノ谷15番地1パイ

オニア株式会社 静岡工場内

(72) 発明者 岩見 隆

静岡県袋井市鷺巣字西ノ谷15番地1パイ

オニア株式会社 静岡工場内

(74) 代理人 100079119

弁理士 藤村 元彦

審査官 橋本 直明

最終頁に続く

(54) 【発明の名称】 プラズマディスプレイパネルの駆動装置

1

(57) 【特許請求の範囲】

【請求項1】複数のX行電極と、前記X行電極各々と対を為す複数のY行電極と、前記X行電極及びY行電極各々に交叉する方向に配列された複数の列電極とを備えるプラズマディスプレイパネルの駆動装置であって、前記X行電極各々を複数のX行電極群に群分けし、供給されたX行電極サスティンパルスを前記X行電極群内の各X行電極に中継供給するX側電極駆動回路と、定電圧供給スイッチとスイッチング充放電回路とによって前記X行電極サスティンパルスを発生してこれを出力端を介して前記X側電極駆動回路へ出力する複数のX側パルス発生回路と、
前記Y行電極各々を複数のY行電極群に群分けし、供給されたY行電極サスティンパルスを前記Y行電極群内の各Y行電極に中継供給するY側電極駆動回路と、

2

定電圧供給スイッチとスイッチング充放電回路とによって前記Y行電極サスティンパルスを発生してこれを出力端を介して前記Y側電極駆動回路へ出力する複数のY側パルス発生回路と、を有し、
前記X側パルス発生回路各々の前記出力端同士が接続されていると共に前記Y側パルス発生回路各々の前記出力端同士が接続されていることを特徴とするプラズマディスプレイパネルの駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はプラズマディスプレイパネルの駆動装置に関する。

【0002】

【従来の技術】プラズマディスプレイパネル（以下、PDPと称する）は、薄型化、及び大画面化が可能であ

り、従来の CRT ディスプレイにない数多くの特徴を有する画像表示装置として知られており、そのコスト削減と品質向上が要望されている。一般に PDP は、平行に配列された複数の行電極と、前記行電極と直交する方向に配列された複数の列電極から構成され、各電極の直交した位置に表示セルが設けられている。特にカラー PDP においては、塗布された蛍光体のイオン衝撃による損耗を防ぐべく、前記行電極近傍に対となる更なる行電極を配列し、この行電極対間での面放電を蛍光体発光源としている。

【0003】上記の如く、PDP においては、表示セル毎に駆動させるための複数の電極及び駆動回路が必要となり、大画面化の実現においては、多大なる放電電流が必要となる。特に前記複数の駆動回路を 1 チップ化するにあたっては、電源容量の大きな IC が必要とされ、発熱及び製造コストの点においても現実的ではない。そこで、1 つの IC に対する負荷を小さくするために従来の PDP 駆動装置は、行電極対群を小ブロックに区分して、各小ブロック毎にパルス発生回路を設けている。

【0004】

【発明が解決しようとする課題】ところが、複数のパルス発生回路の間において、インピーダンス差やパルスの出力レベルにばらつきがある場合、パルス発生回路からの出力パルスを選択的に中継する各駆動回路からの行電極対に供給されるパルスのレベルが小ブロック毎に異なってしまうことがある。このような場合、PDP の表示面の輝度分布が不均一になるという問題が生じてしまう。

【0005】

【課題を解決するための手段】本発明は上記課題を解決するために、小ブロック毎に設けられる各パルス発生回路の出力端子を相互に結線し、パルス出力レベルの均一化を図っている。

【0006】

【発明の実施の形態】以下、本発明の実施例について説明する。図 1 において、PDP は、行電極 X_1 、 X_2 、 X_3 、 \dots からなる X 行電極群 2 とそれと対をなす行電極 Y_1 、 Y_2 、 Y_3 、 \dots からなる Y 行電極群 3 と、それら X 行電極群 2 及び Y 行電極群 3 と直交する列電極 D_1 、 D_2 、 D_3 、 \dots からなる列電極群 7 から構成されている。また、各電極の交点において、表示セル 8 が形成されている。X 行電極群 2 及び Y 行電極群 3 はそれぞれ k 個の行電極を含む n 個の小ブロックに区分され、各小ブロック毎にプライミング（放電開始）パルス及びサステイン（維持）パルスを生成するパルス発生回路 6 が設けられている。そして、パルス発生回路 6 毎に前記プライミングパルス及びサステインパルスを選択的に中継する一方で走査パルスを生成して、この走査パルスを行電極に与える駆動回路 5 を備えた電極駆動回路 4 を有している。また、駆動回路 5 及びパルス発生回路 6 はリー

ド線 20 で結線されており、その回路構成は例えば図 2 に示すような回路からなる。さらに、各小ブロック間において、前記リード線 20 が同電位線 21 によって相互に結線されている。

【0007】図 2 は、走査パルス、プライミングパルス及びサステインパルスを生成し、それを各小ブロック内の k 本の行電極に印加する駆動回路 5 及びパルス発生回路 6 の回路構成を示している。ここで、X 行電極についてのみが示されているが、Y 行電極側の行電極駆動回路もこれと同一の回路構成からなる。駆動回路 5 において、図中 51 で示す部分が駆動回路 IC として構成される。各々の行電極について、第 1 ダイオード 51 A のカソード及び第 2 ダイオード 51 B のアノードが接続され、各第 1 ダイオード 51 A ~ 5 k A のアノードが互いに共通に接続され、各第 2 ダイオード 51 B ~ 5 k B のカソードが互いに共通にリード線 20 に接続され、各第 1 ダイオード 51 A ~ 5 k A のアノードとパルス発生回路 6 からの出力が導出されるリード線 20 との間にプッシュスイッチ 41 が接続される。電源 V_H は高電位と低電位にそれぞれ接続された一対のプッシュスイッチ 31 A と 31 B、32 A と 32 B、 \dots 、3 k A と 3 k B が並列接続される。この並列接続されたプッシュスイッチ 31 A と 31 B、32 A と 32 B、 \dots 、3 k A と 3 k B の共通接続点はそれぞれ第 1 ダイオード 51 A ~ 5 k A のカソードと第 2 ダイオード 51 B ~ 5 k B のアノードに接続され、行電極 X_1 、 X_2 、 \dots 、 X_k に接続される。電源 V_H の高電位はリード線 20 に接続されるとともに、スイッチ 52 を介して電源 V_S に接続される。電源 V_S の低電位側は基準電位に接続される。

【0008】駆動回路 5 は、スイッチ 41 をオフ、スイッチ 52 をオンに設定し、一対のプッシュスイッチ 31 A ~ 3 k A と 31 B ~ 3 k B を相補的にオンすることにより、プッシュスイッチ 31 A ~ 3 k A がオンのときには V_S が行電極 X_1 、 X_2 、 \dots 、 X_k に印加され、31 B ~ 3 k B がオンのときには $(V_S - V_H)$ が印加されて走査期間における所望の走査パルスの出力を行う。

【0009】パルス発生器 6 において、コンデンサ 70 の一端は基準電位に接続され、他端と駆動回路 5 の第 1 ダイオード 51 A ~ 5 k A のアノードとの間にスイッチ 41 を介してダイオード 65、コイル 61 及びスイッチ 45 とが直列接続され、またダイオード 66、コイル 62 及びスイッチ 46 とが直列接続される。ダイオード 65 のカソードとダイオード 66 のアノードがスイッチ 41 を介してそれぞれ第 1 ダイオード 51 A ~ 5 k A のアノードに接続される。さらに、基準電位と第 1 ダイオード 51 A ~ 5 k A のアノードとの間にスイッチ 41 を介して電源 V_1 とプッシュスイッチ 44 が直列接続され、ダイオード 63 とプッシュスイッチ 43 が直列接続される。なお、電源 V_1 の高電位側は、ダイオード 65 のカソード側と第 1 ダイオード 51 A ~ 5 k A のアノード側

に接続される。このパルス発生回路 6 が、プライミング期間及び維持期間にそれぞれプライミングパルス及びサステインパルスを生成している。

【0010】図 3 はパルス発生回路によって供給されるサステインパルスのタイミングチャートであり、以下に維持期間におけるサステインパルスの生成過程を図 3

(a) とによって説明する。まず、すべての一対のプッシュスイッチ 3 1 A から 3 k A 及び 3 1 B ~ 3 k B をオフにし、スイッチ 4 1 をオンにする。また、プッシュスイッチ 4 4、スイッチ 4 5 及びスイッチ 4 6 が共にオフ、プッシュスイッチ 4 3 をオンにし、パルス発生回路 6 の出力が基準電位になっているとする。

【0011】次に、スイッチ 4 5 をオン、スイッチ 4 3 をオフとすると、ダイオード 6 5 を通して PDP の表示セルにコンデンサ 7 0 の充電電流が供給され ($t_1 \sim t_2$)、続けてスイッチ 4 5 をオフ、プッシュスイッチ 4 4 をオンとすると、各行電極はサステインパルス電圧 V_1 にクランプされる ($t_2 \sim t_3$)。次に、プッシュスイッチ 4 4 をオフ、スイッチ 4 6 をオンとすると、PDP の表示セルからの放電電流がダイオード 6 6 を通してコンデンサ 7 0 に充電され ($t_3 \sim t_4$)、続けてスイッチ 4 6 をオフ、プッシュスイッチ 4 3 をオンとすると、各行電極の出力は基準電位にクランプされる。

【0012】以上の動作を繰り返すことにより、駆動回路 5 を介して、各行電極に連続したサステインパルスを供給することができる。図 3 (b) に示すように、Y 行電極側においても同様な操作によりサステインパルスが生成されるが、生成タイミングは半周期ずれており、これにより、X、Y 行電極対間の面放電を可能としている。

【0013】上記したパルス発生回路によるサステインパルスは各行電極に対して同時に供給されるが、行電極対群を複数の小ブロックに区分することで、1 つのブロックに必要な供給電流量を少なくしている。また、小ブロックに区分する行電極対の数は各小ブロック毎に同一でなくてもよく、例えば両端部分では 1 つの小ブロックに区分される行電極対の数を多くし、中央部分では 1 つの小ブロックに区分される行電極対の数を少なくするようにしてもよい。

【0014】以上のように、1 つの駆動 IC に必要な放電電流を低減させるようにしているので、駆動 IC の電

源容量を小さくすることができ、駆動装置のチップ化が容易になっている。また、リード線のインピーダンスによる電圧降下をも抑えることができ、PDP を大画面として利用可能とすることができる。また、プライミングパルス及びサステインパルスの出力レベルはパルス発生回路 6 の電圧 V_1 により決定されてしまうが、パルス発生回路 6 の出力端子、つまり V_1 の一端を、各小ブロック間において相互に接続し、同電位レベルにすることで、各行電極に印加されるパルスのレベルを小ブロック相互間において相等しくしている。

【0015】

【発明の効果】以上説明したように、行電極群を複数の小ブロックに区分し、これに対応したパルス発生回路を設けて 1 つのパルス発生回路の負担を小さくすると共に、行電極全てに印加されるサステインパルスの電位レベルが等しくなるので、小ブロック間における表示セルの輝度のばらつきは生じない。また、各小ブロック間において、パルス発生器の出力端子となるリード線のインピーダンス差異による電圧降下のばらつきの問題についても同時に解消される。更に、パルス発生回路のいずれかが故障した場合、他の小ブロックのパルス発生回路によりパルスが供給されるため、パルス補償回路としても動作できることになる。

【図面の簡単な説明】

【図 1】 本発明のプラズマディスプレイパネルのブロック化した駆動装置の構成を示す図である。

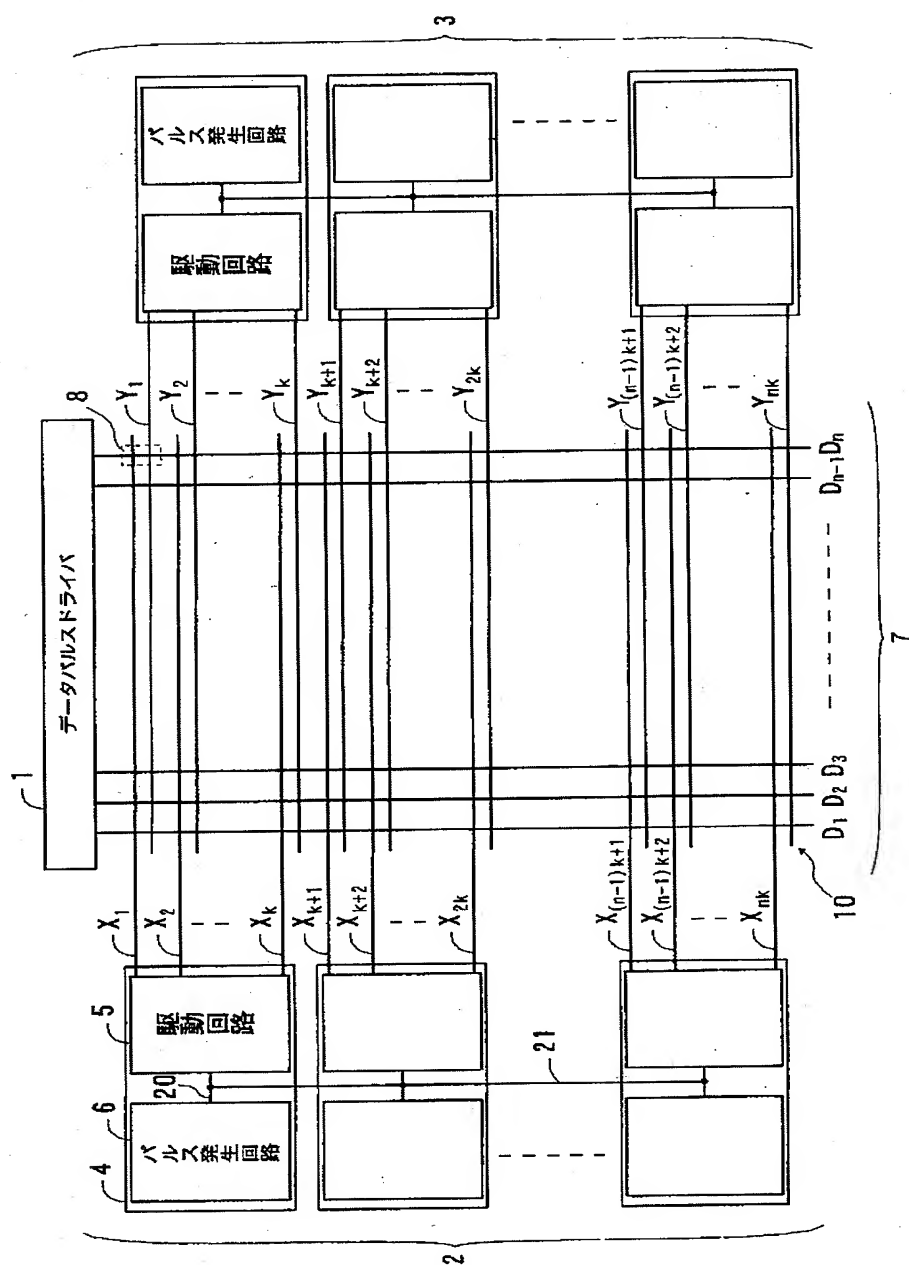
【図 2】 図 1 の駆動装置の回路の例を示す図である。

【図 3】 図 2 のパルス発生回路におけるサステインパルスの出力波形を示す図である。

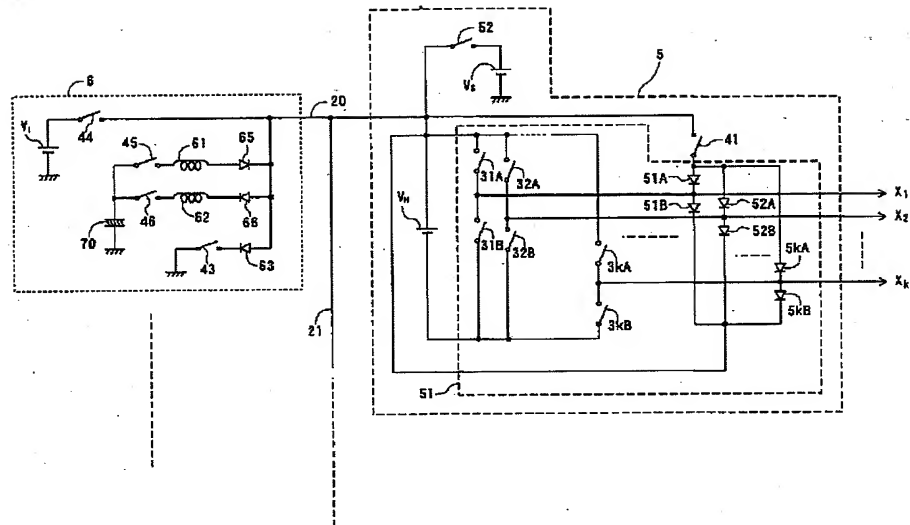
【符号の説明】

- 2 X 行電極群
- 3 Y 行電極群
- 4 行電極駆動回路
- 5 駆動回路
- 6 パルス発生回路
- 7 列電極群
- 8 表示セル
- 10 プラズマディスプレイパネル
- 20 駆動回路—パルス発生回路間リード線
- 21 同電位線
- 51 駆動回路 IC

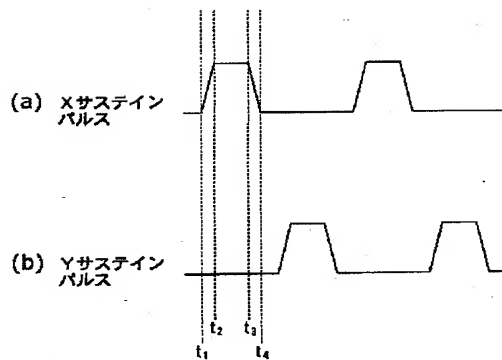
【図 1】



【図2】



【図3】



フロントページの続き

(56)参考文献 特開 平5-188877 (J P, A)
 特開 昭55-88097 (J P, A)
 特開 平5-64367 (J P, A)
 特開 平8-160912 (J P, A)

(58)調査した分野(Int.Cl.⁷, D B名)
 G09G 3/28
 G09G 3/20 611
 G09G 3/20 621